

Rates as low as 2.99% Intro or 9.99% Ongoing APR



30 second approval - 30 second approval - 30 second approval



To Search & Research

[Home](#) | [Search](#) | [Order](#) | [Shopping Cart](#) | [Login](#) | [Site Map](#) | [Help](#)

Patent Plaques

JP6140283A2: CHIP-TYPE CAPACITOR FOR REMOVING HIGH-FREQUENCY NOISE

[No Image](#) | [View INPADOC only](#)

Country: **JP Japan**

Kind:

Inventor(s): **LEE CHANG H
LEE SUK J
LEE SOK-JIN
CHOY TAE G**

Applicant(s): **ELECTRON & TELECOMMUN RES INST
KOREA TELECOMMUN AUTHORITY**
[News, Profiles, Stocks and More about this company](#)

Issued/Filed Dates: **May 20, 1994 / Dec. 28, 1992**

Application Number: **JP1992000348588**

IPC Class: **H01G 4/42; H01G 4/30;**

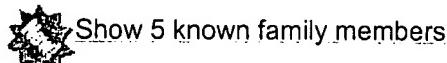
Priority Number(s): **Dec. 30, 1991 KR1991009126047**

Abstract: **Purpose:** To reduce high-frequency and equivalent series resistance and inductance of an internal electrode by allowing a high-frequency noise channel electrode to comprise an internal electrode where a protruding/recessed part, which is recessed inward, is formed so that the electromagnetic fields formed by the current generated when high-frequency noise is removed, are mutually canceled.

Constitution: In order that the current directions generated by noise to be removed are apposite to each other, a specified part on the right side of both side-contact surfaces, connected to a grounded terminal, are deeply recessed (cut out) and removed in reverse directions, so that a irregularity part 7 is formed at an internal electrode 12. However, laminated for each internal of the internal electrode 12 used as a part of signal line, two or more internal electrodes 13a' and 13a" connected to the earth terminal are connected only to the one ground terminal, which alternate in reverse directions, for forming an internal electrode. The internal electrode 13a' is formed in an opposite direction, for current, to that flowing in the internal electrode 13a", thus electromagnetic fields are mutually canceled.

COPYRIGHT: (C)1994,JPO

Family:



Other Abstract Info:

none

Foreign References:

(No patents reference this one)



Alternative Searches

[Patent Number](#)

[Boolean Text](#)

[Advanced Text](#)

**Nominate this
invention
for the Gallery...**

Browse

[U.S. Class
by title](#)

[U.S. Class
by number](#)

TDB
IBM Technical
Disclosure Bulletin

[Privacy](#) | [Legal](#) | [Gallery](#) | [IP Pages](#) | [Advertising](#) | [FAQ](#) | [Contact Us](#)

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-140283

(43)公開日 平成6年(1994)5月20日

(51)Int.CI.⁵

H 01 G 4/42
4/30

識別記号 331 9174-5 E
301 F 8019-5 E
C 8019-5 E
A 8019-5 E

F I

技術表示箇所

審査請求 未請求 請求項の数6

(全6頁)

(21)出願番号

特願平4-348588

(22)出願日

平成4年(1992)12月28日

(31)優先権主張番号 1991-26046

(32)優先日 1991年12月30日

(33)優先権主張国 韓国(KR)

(31)優先権主張番号 1991-26047

(32)優先日 1991年12月30日

(33)優先権主張国 韓国(KR)

(71)出願人 590001625

エレクトロニクス アンド テレコミュニケーションズ リサーチ インスティテュート

大韓民国 デージョン スウォク ガジョンドン 161

(71)出願人 590001636

コリア テレコミュニケーション オーリティ

大韓民国 ソウル チヨングノグ スージヨンノ 100

(74)代理人 弁理士 谷 義一 (外1名)

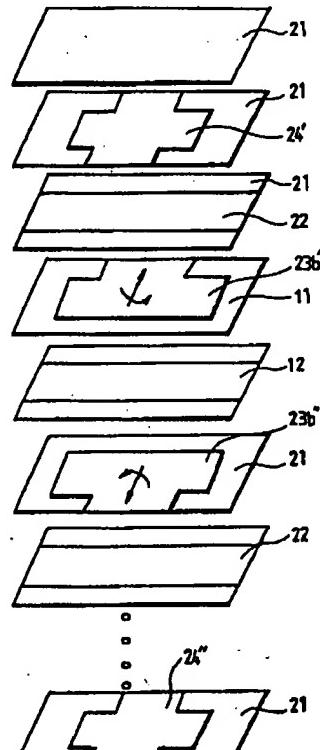
最終頁に続く

(54)【発明の名称】高周波ノイズ除去用チップ型キャパシター

(57)【要約】

【構成】 21は誘電体、22は信号線の一部分として用いられる内部電極、23b'及び23b''は高周波ノイズ通路用内部電極、24'及び24''は接地と連結される最上層及び最下層の内部電極を夫々示す。内部電極22間毎に、接地に連結される内部電極23b'又は23b''を夫々一つずつ割当てて積層させた構造であって、内部電極22間に積層される高周波ノイズ通路用内部電極23b'又は23b''が交互に相互逆方向の一方接地端子6'又は6''にのみ連結されるようにその内部電極を形成し、その内部電極を流れる電流による電磁場を互いに相殺させて高周波での等価直列抵抗及びインダクタンスを減少させている。

【効果】 従来の内部電極形状3に比して静電容量の減少を伴うことなく、高価な材質を用いなければならない内部電極の面積を減少させることができる。



【特許請求の範囲】

【請求項1】 信号線用内部電極と高周波ノイズの通路として利用する内部電極とを誘電体を介して多層に積層した構造であって、最上層及び最下層に積層した一組の接地用電極と、前記接地用電極間ににおいて多数層に積層した一組以上の信号線用電極および前記各組の信号線用電極間に夫々一つ以上ずつ積層した高周波ノイズ通路用電極を備えたチップ型キャパシターにおいて、

前記高周波ノイズ通路用電極は、高周波ノイズ除去時に発生する電流により形成される電磁場を互いに相殺するように内側へ陥没した凹凸部を形成した内部電極を有することを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項2】 請求項1において、前記高周波ノイズ通路用電極は、前記凹凸部が形成された電極を正しく置いた状態と裏返して置いた状態に交互に積層して構成したことを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項3】 信号線の一部として用いられる内部電極と接地される内部電極とを誘電体を介して多層に積層し、信号線に連結される外部端子及び接地線に連結される接地端子を備えた3端子チップ型キャパシターにおいて、

前記接地端子の両側に夫々連結され、少なくとも一組以上に積層されて信号線の一部分として用いられる信号線用電極手段と、

前記信号線用電極手段の一組を成す両信号線用電極手段間に夫々積層し、少なくとも二つ以上の電極が夫々交互に逆方向接地端子にのみ連結されるように形成した高周波ノイズ通路用電極手段とを備えたことを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項4】 請求項3において、前記高周波ノイズ通路用電極手段は、十文字形状から接地端子に連結される一方の突出面を除去することにより得られる凸型形状に形成されていることを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項5】 信号線の一部として用いられる内部電極と接地される内部電極とを誘電体を介して多層に積層し、信号線に連結される外部端子及び接地線に連結される接地端子を備えた3端子チップ型キャパシターにおいて、

前記接地端子の両側に夫々連結され、最上層及び最下層に積層される一組の接地用電極手段と、

前記一組の接地用電極手段間に積層され、少なくとも一組以上に積層されて信号線の一部分として用いられる信号線用電極手段と、

前記信号線用電極手段の一組を成す両信号線用電極手段間に夫々一つずつ積層された電極であって、前記各組の信号線用電極手段間に積層された電極が夫々交互に逆方向接端子にのみ連結されるように形成した高周波ノイ

10

20

30

40

50

ズ通路用電極手段とを具備したことを特徴とする高周波ノイズ除去用チップ型キャパシター。

【請求項6】 請求項5において、前記高周波ノイズ通路用電極手段は、十文字形状から接地端子に接続される一方の突出面を除去することにより得られた形状に形成されていることを特徴とする高周波ノイズ除去用チップ型キャパシター。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はコンピューター、通信機器等の電子機器から発生する高周波ノイズを除去するために用いる電子部品に関し、特に、内部電極形状を改善した高周波ノイズ除去用チップ型キャパシターに関する。

【0002】

【従来の技術】 従来技術の一例として、信号線に含まれた高周波ノイズを除去するために信号線と接地（アース）間に挿し込む3端子キャパシターの積層構造及び内部電極形状を図1に示す。

【0003】 図1は従来の3端子チップ型キャパシターを示したものであって、接地に連結される内部電極の等価直列抵抗を減らすために、二つの内部電極で積層した3端子チップ型キャパシターの積層構造を示す。

【0004】 図1において、内部電極2は、図2に外観を示す3端子チップ型キャパシターの外部端子4'，4"と電気的に連結されて信号を伝達する信号線の一部分として用いる電極である。内部電極3は、図2に示す接地端子5'，5"と電気的に連結されることにより除去される高周波ノイズの通路として用いる電極である。

【0005】 3端子キャパシターは、信号線6'，6"（図3に示す等価回路参照）間に挿し込まれて、この信号線に流れる高周波ノイズを除去する。

【0006】 このような3端子チップ型キャパシターの電気的等価回路を図3に示す。

【0007】 図3において、 L_p と R_p は信号線の一部分として用いられる内部電極のインダクタンスと抵抗成分であり、 L_s と R_s は接地に連結されて高周波ノイズの通路として用いられる内部電極のインダクタンスと抵抗成分である。Cは、信号線として用いられる内部電極2と接地に連結される内部電極3との間の誘電体による静電容量であり、Gは誘電体抵抗の逆数であって等価並列コンダクタンスである。

【0008】 一般的に、3端子チップ型キャパシターは、信号線の一部分として用いられる内部電極と接地に連結される内部電極を、誘電体を間において複数に積層した構造でなっている。信号線の一部分として利用する内部電極を信号周波数成分と高周波ノイズ成分が混合されて通過するとき、誘電体と接地に連結される内部電極を通じて高周波ノイズ成分が除去され、除去されるノイズの周波数は誘電空量Cと接端子に連結される内部電極の

インダクタンス L_s により決定される。

【0009】従って、同一の静電容量で高周波のノイズを除去するためには、接地に連結される内部電極のインダクタンス値を小さくしなければならない。更に、除去される高周波ノイズに因る熱の発生と温度上昇を抑えるためには、3端子チップ型キャパシターの誘電体と接地に連結される内部電極3による素子インピーダンスの実数部である等価直列抵抗を小さくしなければならない。

【0010】そして、3端子チップ型キャパシターの内部電極材質が製造単価の50~80%程を占める点を考慮するとき、内部電極の面積を小さくする程製造単価を節減できることになる。

【0011】

【発明が解決しようとする課題】しかしながら、従来のチップ型キャパシターにおいては、除去される高周波ノイズに因る熱が発生して素子温度が上昇するという問題点を有するほか、高価な材質で作られた内部電極の面積が広いため、非経済的であり製造コストの増加を招いているという問題点を内包していた。

【0012】よって本発明の第1の目的は、上記諸般の問題点を解決するために、3端子チップ型キャパシターの接地に連結される内部電極3から流れる電流の向きが互いに逆になるよう内部電極を設計し、その電流により発生する電磁場を互いに相殺させることにより、高周波で内部電極の等価直列抵抗とインダクタンスを減少するための凸凹部が形成された内部電極を有する高周波ノイズ除去用チップ型キャパシターを提供することにある。

【0013】本発明の第2の目的は、接地に連結されている上・下層の内部電極に流れる電流の向きが互いに逆になるようその構造を設計し、高周波ノイズ除去時の電流により発生する電磁場を互いに相殺させることにより、高周波で内部電極の等価直列抵抗とインダクタンスを減少させる高周波ノイズ除去用チップ型キャパシターを提供することにある。

【0014】

【課題を解決するための手段】本発明は、上記の目的を達成するために、信号線用内部電極と高周波ノイズの通路として利用する内部電極とを誘電体を介して多層に積層した構造であって、最上層及び最下層に積層した一組の接地用電極と、前記接地用電極間において多数層に積層した一組以上の信号線用電極および前記各組の信号線用電極間に夫々一つ以上ずつ積層した高周波ノイズ通路用電極を備えたチップ型キャパシターにおいて、前記高周波ノイズ通路用電極は、高周波ノイズ除去時に発生する電流により、形成される電磁場を互いに相殺するよう内側へ陥没した凹凸部を形成した内部電極を有することを特徴とする。

【0015】本発明は、上記の別の目的を達成するために、信号線の一部として用いられる内部電極と接地に連結される内部電極が誘電体を間に置いて多数の層に積層

されており、信号線に連結される外部端子及び接地線に連結される接地端子を備えている3端子チップ型キャパシターにおいて、最上層及び最下層に積層される一組の接地用電極手段；上記一組の接地用電極手段間に積層されるが、少くとも一組以上に積層されて信号線の一部分として用いられる信号線用電極手段；及び上記信号線用電極手段の一組を成す両信号線用電極手段間に夫々積層されるが、少くとも二つ以上の電極が夫々交互に相互逆方向接地端子にのみ連結されるように形成された高周波ノイズ通路用電極手段を備えている高周波ノイズ除去用チップ型キャパシターを提供する。

【0016】また、上記両側の接地端子に夫々連結されて、最上層及び最下層に積層される一組の電極手段；上記一組の接地用電極手段間に積層されるが、少くとも一組以上に積層されて信号線の一部分として用いられる信号線用電極手段；及び上記信号線用電極手段の一組を成す両信号線用電極手段間に夫々一つずつ積層され、上記各組の信号線用電極手段間に積層された電極が夫々交互に相互逆方向接地端子にのみ連結されるように形成された高周波ノイズ通路用電極手段を備えている高周波ノイズ除去用チップ型キャパシターを提供する。

【0017】

【実施例】以下、本発明の実施例を詳細に説明する。

【0018】図4ないし図6は、本発明を適用した内部電極形状図であって、夫々互いに異なる実施例を示す。これらの各図において、7は内部電極に形成された凹凸部である。

【0019】図4は、図面に示す通り、除去される高周波ノイズにより発生される電流の流れが互いに相反するようにするために接地端子に連結される両側接面右側の一定部分を逆方向へ深く陥没（切り欠き）除去して凹凸部7を形成したものである。

【0020】従って、多数層の積層時に上記構造及び裏返して置いた構造を交互に積層させると、相反する電流の流れにより発生される電磁場が互いに相殺されて高周波で等価直列抵抗を減少させ、インダクタンスも減少されることになる。

【0021】図5は別の実施例であって、図面に示す通り、除去される高周波ノイズにより生成される電流の向きが互いに相反するようにするために接地端子に連結される両側接面右側の一定部分を反対側の接地端子側へ深く陥没（切り欠き）除去した構造（図4参照）に加えて、さらに両側外部端子側へ一定の幅及び深さをもって陥没（切り欠き）除去し、凹凸部7を形成したものである。

【0022】従って、このような形状を有する内部電極を多層に積層するとき、正しく置いた構造と裏返して置いた構造を交互に積層させて発生電流の流れを相反するようにすることにより、形成される電磁場が互いに相殺されて高周波での等価直列抵抗及びインダクタンスを大

いに減少させることができるようになる。

【0023】図6は、さらに別の実施例であって、図面に示す通り、接地端子に連結される両側接面右側の一定部分を夫々外側方向へ一定角度で傾くように深く陥没除去させて凹凸部7を形成したものである。

【0024】上記の場合と同様に、このような形状を有する内部電極を多層に積層するとき、正しく置いた構造と裏返して置いた構造を交互に積層させて、発生する電流の流れを相反するように形成させることにより、電磁場が互いに相殺されて高周波での等価直列抵抗及びインダクタンスが減少する。

【0025】更に、上記各実施例において、高価な材質を用いなければならない内部電極の実際の面積は、陥没させて形成した凹凸部7についてだけ減るようになるが、正しく置いた構造と裏返して置いた構造を交互に積層させるため、静電容量を決定する有効電極面積は減らない。

【0026】図7は、本発明のその他の実施例における内部電極形状と積層構造を示す。本図において、11は誘電体、12は信号線の一部分として用いられる内部電極、13a'及び13a''は接地（アース）に連結され20て高周波ノイズの通路として利用する内部電極、14'*

本実施例においては、上記内部電極13a'、13a''として、十文字（）

【0030】の従来構造から接地端子に連結された一方の側の突出面を除去させた構造（凸）を採用した。

【0031】図8は、本発明によるさらに別の実施例の内部電極形状と積層構造を示す。本図において、21は誘電体、22は信号線の一部分として用いられる内部電極、23b'及び23b''は高周波ノイズ通路用内部電極、24'及び24''は接地と連結される最上層及び最下層の内部電極を夫々示す。

【0032】本実施例の場合は、図示の通り、信号線で動作される内部電極22間に毎に、接地に連結される内部※

本実施例においても上記内部電極23b'、23b''として、十文字（）の

【0034】従来構造から一方の接地接触面を除去させた構造（凸）を採用した。

【0035】そして、本発明においては、上記図7及び図8に示す内部電極形状13a'、13a''、23b'、23b''の通り、従来の内部電極形状3に比して静電容量の減少を伴うことなく、高価な材質を用いなければならない内部電極の面積を減少させることができ40る。

【0036】

【発明の効果】従って、上述の通りの本発明は、次に述べる効果が得られる。

【0037】内部電極の材質は従来に比べてより少なく用いることになるが、信号線の一部分として用いられる内部電極（2）と接地に連結される内部電極により静電

*及び14''は接地と連結される最上層の内部電極および最下層の内部電極を夫々示す。

【0027】最上層と最下層の内部電極14'、14''は、両側の接地端子（図2における5'、5''）に全て連結する。そのようにして接地に連結される内部電極13a'、13a''等の電位が一致するようにし、3端子チップ型キャパシターを実際に用いるとき、3端子チップ型キャパシターの一つの接地端子5'又は5''が接地線から離れても内部電極13a'、13a''等が機能を遂行できるようにする。

【0028】しかし、信号線の一部分として用いられる内部電極12間毎に夫々積層され、接地端子に連結される二つ以上の内部電極13a'、13a''等は夫々交互に相互逆方向の一方の接地端子6'、6''にのみ連結されるように内部電極を形成して、内部電極13a'と内部電極13a''に流れる電流の向きが互いに相反するようすることにより、電磁場が互いに相殺されて高周波での等価直列抵抗を減少させることができ、インダクタンスも減少させることになる。

【0029】

【外1】

※電極23b'又は23b''を夫々一つずつ割当てて積層させた構造であって、内部電極22間に積層される高周波ノイズ通路用内部電極23b'又は23b''が交互に相互逆方向の一方接地端子6'又は6''にのみ連結されるようにその内部電極を形成し、その内部電極を流れる電流による電磁場を互いに相殺させて高周波での等価直列抵抗及びインダクタンスを減少させている。

【0033】

【外2】

容量を決定する有効電極面積は同じであるため、静電容量の減少はなく、周波数が高くなる程素子の等価直列抵抗を多く減少させることができるので、電力損失による熱の発生と温度上昇を防ぐことができる。

【0038】また、接地に連結される内部電極の高周波でのインダクタンスも多く減少し、高周波数でのインピーダンスも少なくなるので、高周波ノイズを除去するのに有利となる長所が得られる。

【0039】更に、高価な内部電極材質の使用量が減るので、製造単価を節減することができる。

【0040】そして、本発明による高周波ノイズ除去用チップ型キャパシターを、コンピューター、通信機器等の電子機器の信号線において数多く問題となっている高周波ノイズ除去のために用いる場合には、その作用効果

は格別に大となる。

【図面の簡単な説明】

【図1】従来から知られている3端子チップ型キャパシターにおいて接地（アース）に連結される内部電極を対に積層した構造図である。

【図2】一般的な3端子チップ型キャパシターの外形図である。

【図3】3端子チップ型キャパシターの電気的等価回路図である。

【図4】本発明の一実施例における内部電極形状図である。
10

【図5】本発明のその他の一実施例における内部電極形状図である。

【図6】本発明のその他の一実施例における内部電極形

状図である。

【図7】本発明のその他の一実施例における内部電極形状図である。

【図8】本発明のその他の一実施例における内部電極形状図である。

【符号の説明】

1, 11, 21 誘電体

2, 12, 22 信号線用内部電極

3, 13, 23 高周波ノイズ通路用内部電極

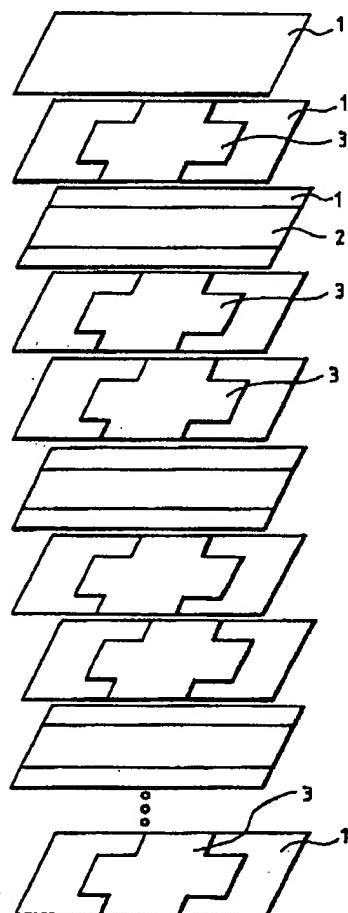
4', 4'' 外部端子

5', 5'' 接地端子

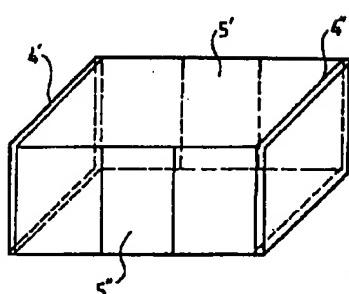
6', 6'' 信号線

7 内部電極の凸凹部

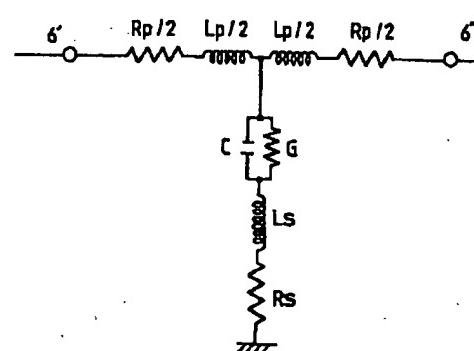
【図1】



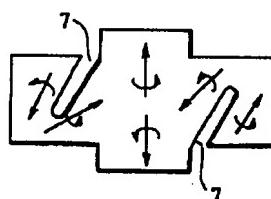
【図2】



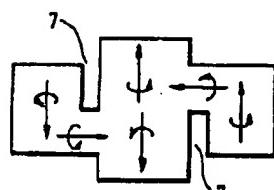
【図3】



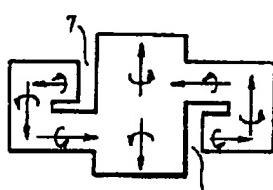
【図6】



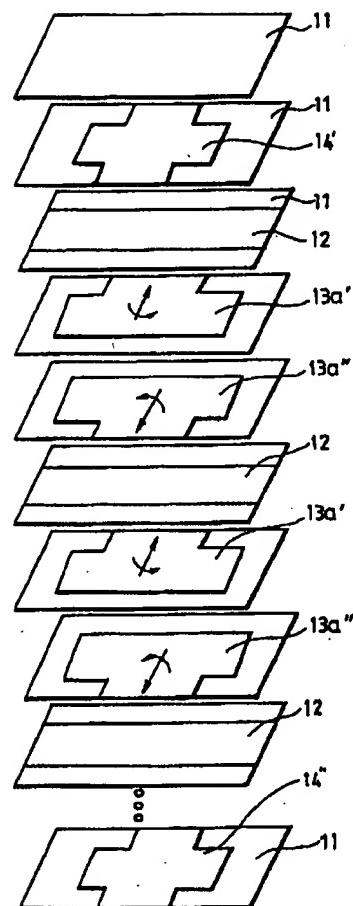
【図4】



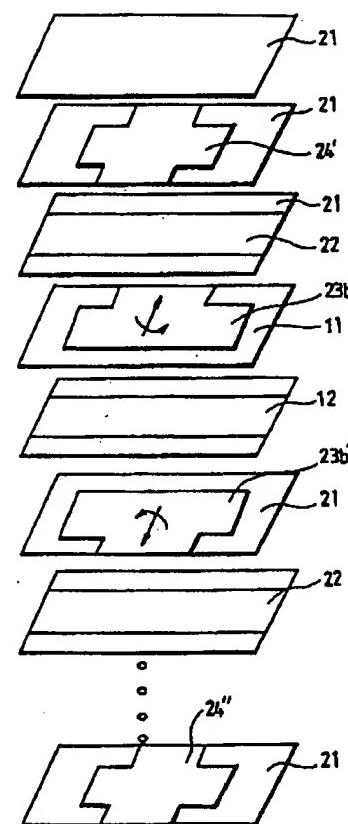
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 チャン ホア イ
大韓民国 大田直轄市 デドクグ ボブド
ン ジュゴンアパート 210-1412

(72)発明者 サン ソク イ
大韓民国 大田直轄市 ソグ ガジョンド
ン ジュゴンアパート 18-405

(72)発明者 ソク チン イ
大韓民国 大田直轄市 ドング ヨンウン
ドン ジュゴンアパート 206-212

(72)発明者 テ グ チョエ
大韓民国 大田直轄市 ユソング ドリヨ
ンドン 391 タウンハウス 10-206